

## 書誌

- (19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公表特許公報(A)  
(11)【公表番号】特表平11-501751  
(43)【公表日】平成11年(1999)2月9日  
(54)【発明の名称】トグル・モード・インクリメント論理回路を使用した線形およびトグル・モードのバースト・アクセス・シーケンスを制御する方法および装置  
(51)【国際特許分類第6版】

G06F 12/02 560

## 【FI】

G06F 12/02 560 B

【審査請求】未請求

【予備審査請求】未請求

【全頁数】34

- (21)【出願番号】特願平9-504627  
(86)(22)【出願日】平成8年(1996)7月18日  
(85)【翻訳文提出日】平成9年(1997)1月20日  
(86)【国際出願番号】PCT/US96/11928  
(87)【国際公開番号】WO97/24847  
(87)【国際公開日】平成9年(1997)7月10日  
(31)【優先権主張番号】08/580, 748  
(32)【優先日】1995年12月29日  
(33)【優先権主張国】米国(US)  
(81)【指定国】EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, T D, TG), AP(KE, LS, MW, SD, SZ, UG), UA(AM, AZ, BY, KG, KZ, MD, R U, TJ, TM), AL, AM, AT, AT, AU, AZ, BB, BG, BR, BY, CA, CH, CN, CU, CZ, CZ, DE, DE, DK, DK, EE, EE, ES, FI, FI, GB, GE, HU, IL, IS, JP, K E, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, M X, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SK, TJ, TM, TR, TT, U A, UG, US, UZ, VN  
(71)【出願人】  
【氏名又は名称】インテル・コーポレーション  
【住所又は居所】アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレバード・2200  
(72)【発明者】  
【氏名】カンドウ, アニラダ  
【住所又は居所】アメリカ合衆国・97124・オレゴン州・ヒルズボロー・ノースイースト ステイブルドライブ・5214  
(72)【発明者】  
【氏名】カンデカー, ナレンドラ  
【住所又は居所】アメリカ合衆国・95630・カリフォルニア州・フォルサム・フォルサム ラ

ンチドライブ・ナンバー105・1020

(74)【代理人】

【弁理士】

【氏名又は名称】山川 政樹（外5名）

## 要約

## (57)【要約】

トグル・モード自動インクリメント論理回路を使用してコンピュータ・システムにおけるメモリへの順次モードとトグル・モードのバースト・アクセスを制御するメモリ・アクセス制御論理回路。本発明のメモリ・アクセス制御論理回路はメモリ・バースト・アクセス操作時にメモリ場所をアクセスするシーケンスを制御し、このバースト・アクセス・シーケンスはバースト・アクセス開始アドレスが増分される順序によって決定される。本発明のメモリ・アクセス制御論理回路を使用するコンピュータ・システムには、開始アドレスをトグル・シーケンスで増分するトグル・インクリメント論理回路が組み込まれる。入力バスが、コンピュータ・システム内のデバイスから、バースト・アクセス要求と、バースト・アクセス要求に応答してアクセスする第1のメモリ場所を示すバースト・アクセス開始アドレスとを受け取る。別の論理回路が、デバイスがバースト・アクセスのために線形インクリメント・シーケンスとトグル・インクリメント・シーケンスのいずれを必要としているかを判断する。第1のデバイスが線形インクリメント・シーケンスを必要としているという判断に回答して、制御論理回路がトグル・インクリメント論理回路を制御して開始アドレスを線形シーケンスで増分する。

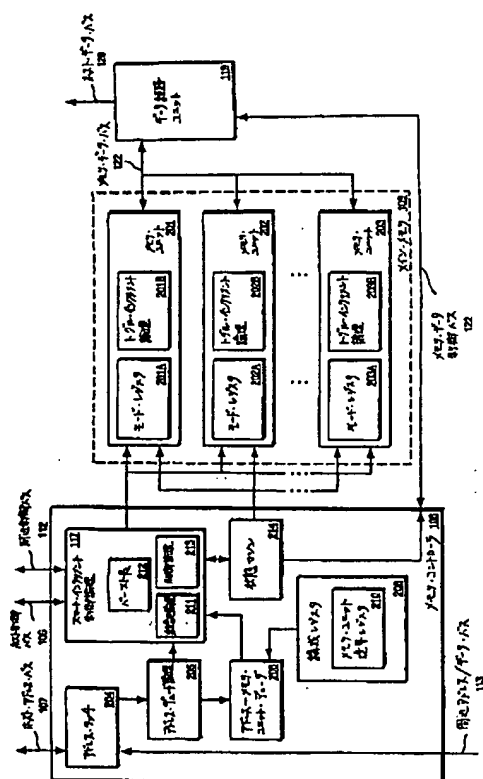


FIG. 2

## 請求の範囲

## 【特許請求の範囲】

1. 順序が線形順序またはトグル順序であり、順序がバースト・アクセス開始アドレスが増分されるシーケンスによって決まり、コンピュータ・システムがトグル・シーケンスでアドレスを増分するトグル・インクリメント論理回路を備える、バースト・アクセス操作中に前記コンピュータ・システムにおけるメモリの場所がアクセスされる前記順序を制御する装置であって、開始アドレスがアクセス要求に応答してアクセスされる第1のメモリ場所を示す、コンピュータ・システム内のデバイスから前記バースト・アクセス要求および前記開始アドレスを受け取る入力バスと、デバイスがバースト・アクセスのために線形とトグルのいずれのアドレス・インクリメント・シーケンスを必要とするかを判断する論理回路と、第1のデバイスが線形アドレス・インクリメント・シーケンスを必要とすると判断する判断論理回路に応答して、トグル・インクリメント論理回路を制御して線形シーケンスで開始アドレスを増分するシーケンス制御論理回路とを備える装置。
2. メモリがシンクロナス・ダイナミック・ランダム・アクセス・メモリ(SDRAM)であることを特徴とする請求項1に記載の装置。
3. トグル・インクリメント論理回路がSDRAM上に構成されていることを特徴とする請求項2に記載の装置。
4. SDRAMが、バースト・アクセス操作中にアクセスされるメモリ場所の数を示す情報を格納するバースト長フィールドを有するモード・レジスタを備えることを特徴とする請求項3に記載の装置。
5. トグル・インクリメント論理回路が複数のトグル・インクリメント・シーケンスのうちの1つのシーケンスでアドレスを増分し、特定のトグル・インクリメント・シーケンスがバースト長とアドレスの所定の数の最下位ビットの値によって選択されることを特徴とする請求項4に記載の装置。
6. バースト・アクセスのための必要な線形インクリメント・シーケンスがバースト長と開始アドレスの所定の数の最下位ビットの値によって決定されることを特徴とする請求項5に記載の装置。
7. 開始アドレスの所定の数の最下位ビットの値を組合せにより変更して、複数のトグル・インクリメント・シーケンスのうちの1つまたは複数のシーケンスを選択し、必要な線形インクリメント・シーケンスを再現する論理回路をさらに備える請求項6に記載の装置。
8. メモリ場所にアクセスするようにトグル・インクリメント論理回路が開始アドレスを増分し、メモリ場所がバースト・アクセス操作中にアクセスする必要のある場所ではない場合、特定のメモリ場所へのメモリ・アクセスが無視されるようにメモリ・バースト・アクセスを制御する制御論理回路をさらに含む請求項7に記載の装置。
9. コンピュータ・システムがホスト・バスを介してメモリと通信するプロセッサと、周辺構成要素相互接続(PCI)バス上のメモリと通信する1つまたは複数の周辺デバイスとを備え、判断論理回路が、デバイスからのバースト・アクセス要求をPCIバスから受け取った場合には線形アクセス順序が必要であると判断し、デバイスからのバースト・アクセス要求をホスト・バスから受け取った場合にはトグル・アクセス順序が必要であると判断することを特徴とする請求項1に記載の装置。
10. 順序が線形順序またはトグル順序であり、順序がバースト・アクセス開始アドレスが増分されるシーケンスによって決まり、コンピュータ・システムがトグル・シーケンスでアドレスを増分するトグル・インクリメント論理回路を備える、バースト・アクセス操作中に前記コンピュータ・システムにおけるメモリの場所がアクセスされる前記順序を制御する方法であって、開始アドレスがバーストアクセス要求に応答して行われるバースト・アクセス操作中にアクセスされる第1のメモリ場所を示すとき、デバイスから前記バースト・アクセス要求と前記バースト・アクセス開始アドレスを受け取るステップと、デバ

イスがバースト・アクセスのために線形とトグルのいずれのアドレス・インクリメント・シーケンスを必要とするかを判断するステップと、デバイスが線形バースト・アクセス・シーケンスを必要とする場合には線形シーケンスで開始アドレスを増分するようにトグル・インクリメント論理回路を制御するステップとを含む方法。

11. メモリがSDRAMであることを特徴とする請求項10に記載の方法。

12. トグル・インクリメント論理回路がSDRAM上に構成されていることを特徴とする請求項11に記載の方法。

13. SDRAMが、バースト・アクセス操作中にアクセスされるメモリ場所の数を示すバースト長を格納するモード・レジスタを備えることを特徴とする請求項12に記載の方法。

14. トグル・インクリメント論理回路が、バースト長とアドレスの所定の数の最下位ビットの値とによって選択される複数のトグル・インクリメント・シーケンスのうちの1つのシーケンスでアドレスを増分することを特徴とする請求項13に記載の方法。

15. デバイスが線形アクセス・シーケンスを必要とすると判断された場合、必要な線形アドレス・インクリメント・シーケンスがバースト長と開始アドレスの所定の数の最下位ビットの値とによって判断されることを特徴とする請求項14に記載の方法。

16. 開始アドレスの所定の数の最下位ビットの値を組合せにより変更して複数のトグル・インクリメント・シーケンスのうちの1つまたは複数のシーケンスを選択し、必要な線形インクリメント・シーケンスを再現するステップをさらに含む請求項15に記載の方法。

17. トグル・インクリメント論理回路がメモリ場所にアクセスするように開始アドレスを増分し、メモリ場所がバースト・アクセス操作中にアクセスする必要のある場所ではない場合、特定のメモリ場所へのメモリ・アクセスが無視されるようにメモリ・バースト・アクセス操作を制御するステップをさらに含む請求項16に記載の方法。

18. コンピュータ・システムが、ホスト・バスを介してメモリと通信するプロセッサと、PCIバス上のメモリと通信する1つまたは複数の周辺デバイスとを備え、判断するステップが、アクセス要求の発行元に応答して、デバイスがバースト要求をPCIバスから受け取った場合には線形アクセス順序を必要とすると判断し、バースト・アクセス要求をホスト・バスから受け取った場合にはトグル・アクセス順序を必要とすると判断することを特徴とする請求項10に記載の方法。

19. バースト長が4データ・ワードであり、値を決定する最下位ビットの所定の数が2であることを特徴とする請求項15に記載の方法。

20. プロセッサと、プロセッサに結合され、情報を伝達するホスト・バスと、ホスト・バスに結合されたメモリと、メモリに結合された周辺バスと、メモリとホスト・バスと周辺バスとに結合され、トグル・インクリメント・シーケンスでアドレスを増分するトグル・インクリメント論理回路と、メモリに結合され、ホスト・バスまたは周辺バスから受け取ったバースト・アクセス要求とバースト・アクセス開始アドレスに応答してメモリへのバースト・アクセスのシーケンスを制御し、バースト・アクセス要求を周辺バスから受け取った場合には開始アドレスを線形インクリメント・シーケンスで増分するようにトグル・インクリメント論理回路を制御する論理回路とを備えるコンピュータ・システム。

21. 周辺バスが周辺構成要素相互接続(PCI)バスであることを特徴とする請求項20に記載のコンピュータ・システム。

22. トグル・インクリメント論理回路によって選択される特定のトグル・インクリメント・シーケンスが、メモリに結合されたバースト長レジスタに設定されたバースト長と開始アドレスの所定の数の最下位ビットの値とによって決定されることを特徴とする請求項20に記載のコンピュータ・システム。

23. 本発明のメモリ制御論理回路が、開始アドレスを組合せにより変更して1つまたは

複数のトグル・インクリメント・シーケンスを選択し、線形インクリメント・シーケンスを再現する組合せ論理回路をさらに備えることを特徴とする請求項23に記載のコンピュータ・システム。

## 詳細な説明

### 【発明の詳細な説明】

トグル・モード・インクリメント論理回路を使用した線形およびトグル・モードのバースト・アクセス・シーケンスを制御する方法および装置発明の背景発明の分野 本発明はコンピュータ・システムの分野に関する。具体的には、本発明はコンピュータ・システムにおけるバースト・メモリ・アクセスのためのメモリ・サブシステム・パフォーマンスを向上させることに係わる。

関連技術の説明 ある種のコンピュータ・システムでは、特定のデバイスは、バースト・モード・アクセスを使用してメモリ・デバイスまたはメモリを含むその他のタイプのデバイスにアクセスすることができる。バースト・モード・アクセスによって一般に、1つのメモリ・アクセス・コマンドを使用してメモリとの間で複数のデータ単位(たとえばビット、バイト、ワード、またはカッドワード)を読み書きすることができ、したがってメモリ・アクセス待ち時間が短縮される。場合によっては、メモリ・デバイスがバーストREADまたはバーストWRITEなどの単一のメモリ・アクセス命令を、アクセスするアドレスのシーケンスと共に受け取るとバースト・アクセスが行われる。

ある種のメモリ・デバイスまたはメモリ・アレイを含むデバイスは、バースト・アクセス時にアクセスするメモリ場所のアドレスを生成する自動アドレス・インクリメント機構を備える。この場合、要求側デバイスからのバースト・アクセス・コマンドには、バースト・アクセスを開始するメモリ場所を示す開始アドレスのみを含む。自動インクリメント機構は特定のシーケンス内の開始アドレスの最下位ビットを増分させて、バースト・アクセス中にアクセスする残りのメモリ場所のアドレスを生成する。この自動インクリメント論理回路によって生成される後続メモリ・アドレスの数とそれらにアクセスする順序は、場合によっては、バースト・アクセス中にアクセスされるデータ項目の数を示すように、コンピュータ・システム製造業者によって、またはコンピュータ・システムの操作時または構成時に、レジスタに格納されたバースト長標識とバースト・シーケンス標識によって決定される。

現在入手可能で自動アドレス・インクリメント機構を備えるデバイスの一例はシンクロナス・ダイナミック・ランダム・アクセス・メモリ(SDRAM)デバイスである。様々なバースト・アドレス・インクリメント・シーケンス用に最適化された、またはそれらを必要とする様々なタイプの集積回路デバイスと様々なバス・プロトコルがある。SDRAMは、線形(順次とも呼ぶ)またはインターリーブ(トグル・モードとも呼ぶ)バースト・メモリ・アクセスを実現するプログラマブル・モード・レジスタを備える。線形または順次インクリメント・シーケンスは、アドレスを順次に増分させて、レジスタに設定されているかまたはコンピュータ・システム内でハード結線されているバースト長によって示されたデータ項目数に線形にアクセスする。たとえば、開始アドレスを1001(2進)

とし、バースト長を4データ項目とすると、線形アドレス・インクリメント・シーケンスによってこの開始アドレスが増分してメモリ場所1010、1011、および1100がこの順序でアクセスされることになる。

トグル・アドレス・インクリメント・シーケンスは、最下位ビットが値「0」

から値「1」にトグルするようなシーケンスであるため、トグル・シーケンスと呼ばれる。したがって、場合によってはシーケンスを順次にすることもできるが、多くの場合にはトグ

ル・シーケンスは非順次または非線形である。上記と同じ例を使用して、開始アドレスを1001としてバースト長を4データ項目とすると、トグル・アドレス・インクリメント・シーケンスによってこの開始アドレスが増分して、メモリ場所1000、1011、1010にこの順序でアクセスされることになる。

しかし、アドレス・インクリメントのモードを切り換えるためには、異なるタイプのアドレス・インクリメント・シーケンス(順次モードかトグル・モードか)を必要とするたびに、SDRAMモード・レジスタをプログラムし直さなければならない。SDRAMモード・レジスタは実行中にプログラム可能であり、したがって、変化するアドレス・インクリメント要件に対応することができるが、アドレス・インクリメント・モードを変えるたびに生じる遅延が大きい。

たとえば、ホスト・バス上に高パフォーマンス・プロセッサを備え、PCIバスなどの周辺バス上にその他のエージェントを備える特定のコンピュータ・システムでは、ホスト・バスからメイン・メモリへのすべてのバースト・アクセスがインターリーブ・メモリ・インクリメント・シーケンスを必要とすることがあり、PCIバスからのすべてのバースト・アクセス要求が順次メモリ・アドレス・インクリメント・シーケンスを必要とすることがある。その場合、バースト・アクセス要求の発行源に応じて現行メモリ・アドレス・インクリメント・シーケンス制御を行うようにSDRAMのモード・レジスタを頻繁にプログラムし直さなければならない。

SDRAMモード・レジスタのこのプログラミングと再プログラミングは、特にメモリ・アクセス要求がプロセッサ・メモリ・アクセスとPCIメモリ・アクセスとの間で絶えず切り換える場合、かなりのクロックサイクル数を使用する可能性がある。たとえば、ある種のSDRAMは、モード・レジスタをプログラムするのに2プログラム・クロック・サイクルと、モード・レジスタのプログラミング後に他のメモリ・アクセス要求を処理可能になるまでの2休止クロック・サイクルとを要する。したがって、バースト・アクセスのために異なるアドレス・インクリメント・シーケンスを用意するようにSDRAMモード・レジスタを再プログラムするたびに4クロック・サイクルの不利が生じる。順次と非順次の両方の自動アドレス・インクリメント・モードを備える他の装置にも同じ問題がある。

したがって、メモリ・デバイスの自動インクリメント制御論理の再プログラミングに付随するクロック・サイクルの不利を引き起こすことなく、順次モードとトグル・モードの両方のバースト・アクセス要件を満たすように、バースト・アクセスのためにメモリ・アドレスを自動的に増分させる手段を提供することが望ましい。

発明の概要 トグル・モード自動インクリメント論理回路を使用してコンピュータ・システムにおけるメモリへの順次モードとトグル・モードのバースト・アクセス動作を制御する方法および装置について説明する。本発明は、メモリ・バースト・アクセス動作中のメモリ場所のアクセス順序を制御する。そこでは、バースト・アクセス・シーケンスは、バースト・アクセス開始アドレスを増分させる順序によって決まる。コンピュータ・システムは、トグル・シーケンスで開始アドレスを増分させるトグル・インクリメント論理回路を備える。本発明のメモリ・アクセス制御論理回路は、第1のデバイスからのバースト・アクセス要求と、バースト・アクセス要求に応答してアクセスする第1のメモリ場所を示すバースト・アクセス開始アドレスとを受け取る入力バスを備える。さらに、本発明のメモリ・アクセス制御論理回路は、第1のデバイスがバースト・アクセス操作のために線形とトグルのどちらのインクリメント・シーケンスを必要としているかを判断する論理回路と、第1の線形インクリメント・シーケンスを必要としているという判断に応答して開始アドレスを線形シーケンスで増分させるようにトグル・インクリメント論理回路を制御する制御論理回路も備える。

図面の簡単な説明 第1図は、本発明の一実施形態によるコンピュータ・システムを示

す高水準ブロック図である。

第2図は、本発明の一実施形態によるメモリ・コントローラとメイン・メモリ構成を示すブロック図である。

第3A図は、2データ項目のバースト長の場合の順次およびインターリーブ・インクリメント・シーケンスの例を示す表である。

第3B図は、4データ項目のバースト長の場合の順次およびインターリーブ・インクリメント・シーケンスの例を示す表である。

第3C図は、8データ項目のバースト長の場合の順次およびインターリーブ・インクリメント・シーケンスの例を示す表である。

第4図は、本発明の一実施形態の方法を示す流れ図である。

第5図は、4データ・ワードのバースト長の場合の本発明の一実施形態の方法を示す流れ図である。

発明の詳細な説明 本発明は、トグル自動アドレス・インクリメント論理回路を使用して順次モードとトグル・モードでバースト・アクセス・シーケンスを制御するメモリ・アクセス制御論理回路を提供する。以下の説明では、本発明を十分に理解することができるように、多くの特定の詳細が記載されている。しかし、当業者ならこれらの特定の詳細がなくても本発明を実施することができることがわかるであろう。

他の場合には、本発明が不明瞭にならないように、周知の要素については詳述していない。

一実施形態のコンピュータ・システムの概要 第1図は、本発明の一実施形態によるコンピュータ・システムを示すブロック図である。本発明のコンピュータ・システムは、情報を伝達するホスト・バス100と、情報を処理するプロセッサ101と、プロセッサ101のために頻繁に使用される情報または最近使用された情報あるいはその両方を格納するキャッシュ・メモリ104とを備える。プロセッサ101はプロセッサ制御およびデータ・バス102およびプロセッサ・アドレス・バス103を介してホスト・バス100に結合されている。一実施形態ではプロセッサ101は本発明の共同譲受人である米国カリフォルニア州サンタクララのインテル・コーポレーション製のものなどのインテル・アーキテクチャ・マイクロプロセッサであるが、他のプロセッサ・アーキテクチャも本発明に従って使用することができる。キャッシュ・メモリ104は、プロセッサ101と同じ集積回路デバイス・パッケージ内に組み込むことも別個の集積回路デバイス・パッケージに組み込むこともできる。

一実施形態のコンピュータ・システムは、プロセッサ101用の固定情報および命令を記憶する読み取り専用メモリ(ROM)105またはその他の不揮発性記憶装置も備える。一実施形態のROM105には、コンピュータ・システムの始動時またはリセット時にコンピュータ・システムの初期設定と構成を行う基本入出力システム(BIOS)プログラムが記憶される。

ホスト・バス100にはホスト制御バス106とホスト・アドレス・バス107を介して、アクセス(メモリREAD操作およびWRITE操作など)とメモリ・リフレッシュ操作を制御してメイン・メモリ109を維持するメモリ・コントローラ108も結合されている。メイン・メモリ109には、コンピュータ・システムの動作中にプロセッサ101用の情報と命令が記憶され、メモリ・アドレス信号線とメモリ制御信号線の両方を含むメモリ・バス110を介してメモリ・コントローラ108に結合されている。一実施形態のメモリ・コントローラ108は、周辺制御バス112および周辺アドレスおよびデータ・バス113を介して周辺構成要素相互接続(PCI)バスなどの周辺バス111にも結合されている。一実施形態では、メモリ・コントローラ108は、ホスト・バス100と周辺バス111との間の通信のためのバス・ブリッジ論理回路(図示せず)を備える。他の実施形態では、バス・ブリッジ論理回路はメモ

リ・コントローラ108に組み込まれていなくてもよく、別個の集積回路デバイスに組み込んでもよい。

メモリ・コントローラ108は、プロセッサ101などのホスト・バス上のエージェントまたは周辺バス111上のエージェントからのメモリ・アクセス要求に応答してメイン・メモリ109へのアクセスを制御する。コンピュータ内のメイン・メモリ109またはコンピュータ内のその他のメモリ・デバイスとの間でバースト・アクセスを行うことができるいずれのバス上のエージェントも、特定のメモリ・アドレス・インクリメント・シーケンスを使用するバースト・アクセスを必要とするか、またはそのために最適化されていることがある。一実施形態では、バースト・アクセス操作中にアクセスされるメモリ場所のアドレスを生成するためにトグル・モードでプロセッサ101からのバースト・アクセス要求の開始アドレスを増分する必要がある。同様に一実施形態では、周辺バス111上のエージェントから出されるすべてのメモリ・バースト・アクセス要求で、バースト・アクセス操作中にアクセスする後続データ項目について、アクセスするメモリ・アドレスを線形インクリメント・シーケンスで増分する必要がある。このようなバースト・アクセスを制御するために使用可能な線形およびトグル・モード・アクセス・インクリメント・シーケンスの例について、第3A図、第3B図、および第3C図を参照しながら以下に詳述する。

一実施形態のメモリ・コントローラ108は、メイン・メモリ109へのバースト・アクセス中にアドレス・インクリメント・シーケンスを制御するように動作するスマート・インクリメント制御論理回路117を備える。本発明のスマート・インクリメント制御論理回路は、メモリ上またはメモリを含むその他のデバイス上のトグル・インクリメント・モード論理回路を制御して、メモリ・コントローラ108またはコンピュータ・システム内のその他の論理回路で設定されている必要なインクリメント・シーケンスのタイプ(トグルか線形か)、バースト・アクセス要求と共に供給される開始アドレス、およびバースト長(バースト・アクセス中に取り出すデータ項目数)によって決まる特定のインクリメント・シーケンスを与える。本発明のスマート・インクリメント制御論理回路117は、トグル・インクリメント・モード論理回路を使用してこれを行う。その際、線形インクリメント・モードとトグル・インクリメント・モードとの間で切り換えるためにモード・レジスタまたはその他のそのような論理回路をプログラムし直す必要がない。このようにして、本発明のスマート・インクリメント制御論理回路は、アドレス・インクリメント・モードを変えるときに生じる遅延を少なくしたりまったくなくしたりすることができる。スマート・インクリメント制御論理回路117の動作について、第2図、第3図、および第4図を参照しながら以下に詳述する。

第1図を続けて参照すると、一実施形態では、データ経路ユニット119もホスト・データ・バス120を介してホスト・バス100に結合され、メモリ・データ・バス122を介してメイン・メモリ109に結合されている。一実施形態のデータ経路ユニット119は、メモリ・データ制御バス125を介してメモリ・コントローラ108から制御信号を受け取る。データ経路ユニット119は、メモリ・コントローラ108が受け取ったデータ・アクセス要求またはデータ転送要求に応答して、メイン・メモリとの間のデータの流れを制御するように動作する。このようにして、メイン・メモリ109に付随するアドレスとデータの流れが多少分離され、より効率的な動作が実現する。ある実施態様では、メイン・メモリ109との間でやり取りされるデータはホスト・データ・バス120を介してホスト・バスに転送されるが、周辺バス111には、メイン・メモリ109との間でやり取りされるデータはメモリ・コントローラ108を通り周辺アドレス／データ・バス113を介して転送される。ある実施態様では、メモリ・コントローラ108とデータ経路ユニット119の機能は1つの集積回路構成要素に集積される。

当業者なら、他のコンピュータ・システムも本発明に従って使用可能であることがわかる。同様に、当業者なら第1図に示すコンピュータ・システムは第1図に図示されていない



い追加の構成要素も備えることができ、あるいは第1図に図示されている周辺バス11などの構成要素なしで構成することもできることがわかる。

一実施形態のメモリ・コントローラおよびメイン・メモリの構成 第2図に、本発明の一実施形態のメモリ・コントローラとメイン・メモリの構成を示す。本発明について、特定のタイプおよび数のメモリ・デバイスを含むメイン・メモリ・アレイを参照しながら説明するが、当業者なら異なるタイプおよび数のメモリ・デバイスを含む他のメモリ・アレイも本発明に従って使用可能であることがわかるであろう。

メイン・メモリ・アレイ 第2図のメイン・メモリ・アレイ109は、第2図のメモリ・アレイ行に対応するメモリ・ユニット201～203を含むが、他の実施形態では別様に配置構成することもできる。メモリ・ユニット201～203は、一実施形態ではデュアル・インライン・メモリ・モジュール(DIMM)構成のシンクロナス・ダイナミック・ランダム・アクセス・メモリ(SDRAM)デバイスである。SDRAMメモリ・ユニット201～203のそれぞれが対応するモード・レジスタ201A～203Aを備える。モード・レジスタ201A～203Aは、各SDRAMメモリ・ユニット201～203の動作に関する特定の機能を制御するプログラマブル・レジスタである。モード・レジスタ201A～203Aは、コンピュータ・システムの構成中か、コンピュータ・システムの動作中に動作特性の変更が必要になったときにオンザフライ(on the fly)で特定の所望の動作特性となるようにプログラムされている。モード・レジスタ201Aなどの一実施形態のモード・レジスタは、バーストREADサイクルまたはバーストWRITEサイクル中に入力または出力されるワード数(「バースト長」とも呼ぶ)を示すビット2:0を有する12ビット幅である。一タイプのSDRAMメモリ・ユニットのバースト長は、1、2、4、または8データ・ワード、あるいはメモリのフル・ページをバーストするようにプログラム可能である。一実施形態では、ビット3は1、2、4、または8データ・ワードのバースト・アクセス・シーケンス中に開始メモリ・アドレスが増分されるモードが線形モードかトグル・モードかのモードを示す。一実施形態では、フル・ページ・バースト長の場合、線形インクリメント・シーケンスのみが使用可能である。トグルまたはインターリーブ・アドレス・インクリメント・モードは、たとえば高パフォーマンスのプロセッサがより高速のキャッシュ・ライン・フィルのために使用することが多い。トグル・モードは、一方のバンクにアクセスしている間に他方のバンクにプリチャージすることができるようにメモリのバンクを切り換えるために使用され、したがってバースト・アクセスを処理する際に生じる遅延が少なくなる。

一実施形態では、トグル・インクリメント・モードは第2図の201A～203AなどのSDRAMモード・レジスタに適切なビットを設定することによってイネーブルされる。トグル・インクリメント・シーケンスを実現するようにSDRAMモード・レジスタをプログラムすると、アクセスされる特定のSDRAMメモリ・ユニット上のトグル・インクリメント論理回路201B～203Bがイネーブルされる。トグル・インクリメント論理回路201B～203Bは、トグル・モード・シーケンスに従ってバースト・アクセス開始アドレスを増分し、その特定のシーケンスはモード・レジスタまたはコンピュータ・システム内の他の場所に設定されているバースト・アクセスおよびバースト長と共に供給される開始アドレスによって決まる。トグル・シーケンスについて第3A図、第3B図、および第3C図を参照しながら以下に説明する。

モード・レジスタに設定されている線形モードとトグル・モードによって指示される線形インクリメント・シーケンスとトグル・インクリメント・シーケンスの相違を、それぞれ2、4、および8データ項目のバースト長の第3A図、第3B図、および第3C図に示す。たとえば第3B図には4データ・ワードのバースト長の線形モードとトグル・モードのアドレス・インクリメント・シーケンスの相違が示されている。列301には、バースト・アクセス要求と共に供給された開始アドレスの最下位2ビットの値が示されており、これを本明

細書ではデータ項目開始アドレスとも呼ぶ。第3B図全体に例示されている数値は2進数であるが、例示しやすくわかりやすいように10進表記で示してある。

SDRAMインクリメント制御論理回路によって提供される特定のトグル・インクリメント・シーケンスまたは線形インクリメント・シーケンスは、たとえば開始アドレスの所定の数の最下位ビットの値によって決まるデータ項目開始アドレスによって変わり、特定のビット数はバースト長によって決まる。列302には、列301に示す数に対応する値を持つ最下位ビットを有するバースト・アクセス開始アドレスの最下位2ビットの線形インクリメント・シーケンスを示す。

同様に、対応するデータ項目開始アドレスを持つバースト・メモリ・アクセスの最下位2ビットのトグル・インクリメント・シーケンスを列303に示す。バースト長を4ワードに設定した場合、データ項目開始アドレス0および2の線形インクリメント・シーケンスとトグル・インクリメント・シーケンスは同じであることに留意されたい。

同様に、2ワードのバースト長と8ワードのバースト長の線形8ワードのバースト長の線形およびトグル・インクリメント・シーケンスをそれぞれ第3A図および第3C図に示す。表に示すように、2ワードのバースト長の線形インクリメント・シーケンスとトグル・インクリメント・シーケンスは同じであり、したがって、異なるインクリメント・モードを必要とする異なるタイプのアクセスのためにモード・レジスタ201Aをプログラムし直す必要がない。第3C図に示すようにバースト長を8ワードに設定した場合も、0および4の最下位ビットを有するバースト・アクセス開始アドレスの線形モードとトグル・モードの自動インクリメント・シーケンスは同じである。

モード・レジスタ201Aの残りのビットを使用してCAS#信号と呼ぶ制御信号の待ち時間を設定する。CAS#信号はデータの可用性を制御し、モード・レジスタ201Aに設定された待ち時間は、データ・アクセス操作が開始された後でメモリ・データ・バス122でデータ・アクセス操作からのデータが使用可能になるまでに経過しなければならないクロック数を制御する。CAS#待ち時間に設定される値は、SDRAMデバイスの速度またはアクセス時間とコンピュータ・システム・クロックのクロック周波数に依る。CAS#信号およびその他のSDRAM制御信号の動作は当業者に周知であり、NECコーポレーションなどのSDRAM製造業者からデータ・シートがいつでも入手可能である。

前述のように、モード・レジスタ201A～203Aはコンピュータ・システムのセットアップ時すなわち構成時、あるいは動作条件の変更が必要となときに必要に応じてオンザフライで構成することができる。

一実施形態のメモリ・コントローラ 再度第2図を参照しながら、一実施形態のメモリ・コントローラ108について詳述する。スマート・インクリメント制御論理回路117は、以下で詳述するようにトグル・インクリメント論理回路を制御して線形モードとトグル・モードの両方のインクリメント・シーケンスを実現する組合せ論理回路211および制御論理回路213を備える。スマート・インクリメント制御論理回路117に加えて、メモリ・コントローラ108はホスト・アドレス・バス107および周辺アドレスおよびデータ・バス113から着信したアドレスをラッチするアドレス・ラッチ204を備える。一実施形態では、アドレス・ラッチ204はメモリ・アクセス要求のパイプライン化を行って要求のスループットを向上させる。アドレス・ラッチ204が受け取ったメモリ・アドレスに関連づけられたメモリ・アクセス命令を、スマート・インクリメント制御論理回路117がホスト制御バス106および周辺制御バス112から受け取る。アドレス・ラッチ204に結合されたアドレス・デコード論理回路205が着信アドレスをデコードして、メモリ・アクセス命令などそれに関連づけられた命令の対象がメイン・メモリ109、キャッシュ・メモリ、その他のコンピュータ・システム構成要素のいずれであるかを判断する。

アクセス要求に関連づけられたアドレスがメイン・メモリ109にあるとアドレス・デコード

論理回路205が判断すると、そのアドレスは、メモリ・ユニット201～203のうちの特定のメモリ・ユニットを識別する行および列アドレス構成要素と、その特定メモリ・ユニット内のアクセスされる正確なメモリ場所とにアドレス・メモリ・ユニット・デコーダ206によってデコードされる。アドレス・メモリ・ユニット・デコーダ206は、着信アドレスをデコードし、メモリ・コントローラ108内の構成レジスタ208に格納されている情報に部分的に基づいて、アクセスされるメモリ場所を判断する。

構成レジスタ208は、メモリ・ユニット境界レジスタ210を含む。一実施形態では、メモリ・ユニット・サイズ決定ルーチンがBIOS ROMに記憶されているBIOSの一部として含まれ、コンピュータ・システムの電源投入時または再始動時に実行される。一実施形態では、サイズ決定ルーチンは、メイン・メモリ・アレイ内の各メモリ・ユニットの容量を判断し、その情報をメモリ・ユニット境界レジスタ210に各メモリ・ユニットの開始アドレスと終了アドレスの形で格納する。他の実施形態では、コンピュータ・システムのユーザが構成ルーチンへの入力を介して、またはコンピュータ・システム内のハードウェア・スイッチによって入力した入力データに基づいてメモリ・ユニット境界レジスタ211に情報が格納される。構成レジスタ208は、本明細書に記載されていない様々なタイプの情報を格納するその他の構成レジスタも含むことができる。

ホスト・アドレス・バス107または周辺アドレスおよびデータ・バス113からの着信メモリ・アクセス要求のアドレスがアドレス・メモリ・ユニット・デコーダ206によってデコードされると、そのアドレスは本発明のスマート・インクリメント制御論理回路117に転送される。非バースト・アクセス・メモリ操作中は、スマート・インクリメント制御論理回路117は操作の制御をSDRAM状態マシン214に渡す。SDRAM状態マシン214は、SDRAMメモリ操作のための必要なすべての制御信号をメモリ制御バス218を介してSDRAMメモリ・ユニット201～203に供給するように動作する。バースト・アクセス中も、SDRAM状態マシン214は同様に動作するが、以下で詳述するようにスマート・インクリメント制御論理回路117からの入力に基づいて一部の制御信号の動作を変えることができる。

バーストと非バーストのいずれのメモリ・アクセス操作中も、アクセスするメモリ場所のアドレスはメモリ・アドレス・バス216でメイン・メモリ・アレイ109に転送される。データはデータ経路ユニット119を介してメモリ・データ・バス122でメイン・メモリとの間で転送される。一実施形態では、ホスト・データ・バス120でプロセッサとの間で、または周辺アドレスおよびデータ・バス113でメモリ・コントローラ108を介して周辺・バスとの間でデータが転送される。メイン・メモリとの間のデータの転送は、メモリ・データ制御バス125でデータ経路ユニット119に送られる制御信号を使用してメモリ・コントローラ108によって制御される。

本発明のスマート・インクリメント制御論理回路 バースト・メモリ・アクセス操作中、本発明のスマート・インクリメント制御論理回路117は、一部のメモリ・アクセス制御信号の制御を行い、SDRAMメモリ・ユニット201～203のトグル自動インクリメント制御論理回路と協調してバースト・アクセス開始アドレスの自動インクリメントを実現する。このようにして、本発明のスマート・インクリメント制御論理回路はメモリへのバースト・アクセスのシーケンスを制御するように動作する。前述のように、スマート・インクリメント制御論理回路117は、SDRAMのトグル自動インクリメント・モードを使用してアドレスの自動インクリメントを制御して線形とトグルの両方のインクリメント・シーケンスを実現する。

組合せ論理回路211および後述のように動作する制御論理回路213に加えて、一実施形態のスマート・インクリメント制御論理回路117は、一実施形態においてコンピュータ・システムの構成中にモード・レジスタ201A～203Aにプログラムされたバースト

長を格納するレジスタ212を備える。レジスタ212に格納されているバースト長と、着信バースト・アクセス要求から判断されたデータ項目開始アドレスと、要求の発行元であるデバイスまたはバスの要件とに基づいて、スマート・インクリメント制御論理はメイン・メモリ109へのバースト・アクセスのための正しいアドレスインクリメント・シーケンスを判断し、制御するように動作する。

本発明のスマート・インクリメント制御論理回路117は、所定の数の最下位ビットの値によって示された使用可能なトグル・モード・アドレス・インクリメント・シーケンスを使用するか、それともメモリ・コントローラ108が受け取った特定のバースト・アクセス要求に応答して必要な線形インクリメント・シーケンスを再現するために1つまたは複数のトグル・モード・インクリメント・シーケンス間の切換えを制御するかを決定する。一実施形態では、トグルと線形のどちらのインクリメント・シーケンスを使用するかは、バースト・アクセス要求の発行元に基づくが、他の実施形態では他の方式で決定することもできる。たとえば、特定のデバイスに、その特定のデバイスがバースト・アクセスのために線形モードとトグル・モードのどちらのアドレス・インクリメント・シーケンスを必要とするかを示すバースト・アクセス要求に付随するコードまたは要求内にコード化されたコードを組み込むことができる。バースト・アクセス・インクリメント・シーケンスについて言う場合の「必要とする」という言葉は必ずしもデバイスのアーキテクチャ要件であるとは限らず、より高パフォーマンスの動作条件またはコンピュータ・システム設計者によって課された制約を示すためにも使用されることに留意されたい。

本明細書では、本発明のスマート・インクリメント制御論理回路117の動作について、4データ・ワードのバースト長を例として使用して説明する。当業者なら、本発明のスマート・インクリメント制御論理回路がそれより長い短いバースト長でも機能することがわかるであろう。さらに、説明のためにバースト長についてデータ・ワードの関連で説明したが、メモリ・ビット、バイト、およびページなど他のサイズのデータ単位もバースト・アクセスで転送することができ、本発明のスマート・インクリメント制御論理117によって制御することができる。

スマート・インクリメント制御論理回路117の一実施形態の動作を、第4図にブロック図形式で示す。例示のために、この例では周辺バス(この例ではPCIバス)から出されるすべてのメイン・メモリ・アクセス要求は、バースト・メモリ・アクセスに対してメモリ・アドレスが線形方式でインクリメントされることを必要とすると仮定する。さらに、この例では、プロセッサ101またはホスト・バスから出されるすべてのメモリ・アクセス要求は、バースト・メモリ・アクセスに対してメモリ・アドレスがトグルまたは非線形方式でインクリメントされることを必要とする。したがって、第4図に示す実施形態では、必要なアドレス・インクリメント・シーケンスは、この場合はバースト・アクセス要求を受け取るホスト・バスまたは周辺バスである、バースト・アクセス要求の発行元によって決定される。非線形またはトグル・メモリ・アドレス・インクリメント・モードのみを使用するバースト・メモリ・アクセスを制御する本発明の一実施形態の方法は、ステップ401で始まる。ステップ403で、メモリ・コントローラがメイン・メモリ・バースト・アクセス要求を受け取る。次に、ステップ405でバースト・アクセス要求の発行元が識別され、ステップ407でバースト・アクセス要求のデータ項目開始アドレスが識別される。一実施形態ではこれらは並列で行われる。

データ項目開始アドレスは、バースト・アクセス要求と共に供給されるバースト・アクセスの開始アドレスの所定の数の最下位ビットによって示される値である。この所定の数は、SDRAMモード・レジスタとスマート・インクリメント制御論理回路に設定されたバースト長に基づく。

判断ブロック408で、メモリ・アクセス要求がPCIバスから出されたかどうか判断され

る。PCIバスから出された場合には、ステップ413でバースト・メモリ・アクセスが開始され、メイン・メモリのSDRAMモード・レジスタにプログラムされた非線形インクリメント・モードに従って実行される。この方法は次にステップ415で終了する。ブロック408に戻って参照すると、要求がPCIバスから出されたものではない場合、ステップ409で、ステップ407で識別された開始アドレスに基づいて、本発明のスマート・インクリメント制御論理回路がその特定の開始アドレスの線形と非線形のインクリメント・シーケンスが同じかどうかを判断する。同じ場合は、ステップ413で、メイン・メモリ内でアクセスされる特定のSDRAMメモリ・ユニットによって制御される非線形またはトグル・アドレス・インクリメント・モードに従ってバースト・アクセスが実行される。判断ブロック408でその特定のアドレスの線形モードとトグル・モードのインクリメント・シーケンスが同じでない場合、ステップ411でスマート・インクリメント論理制御回路が、所望の線形インクリメント・シーケンスを再現するために様々なデータ項目開始アドレスに対応する特定の非線形インクリメント・シーケンスを切り換えることによってメモリ・アドレス・インクリメント・シーケンスを制御する。本発明のスマート・インクリメント制御論理回路は、組合せ論理回路を使用して開始アドレスを操作することと制御論理回路213を使用してメモリ・アクセス制御信号を制御することによって、これを行う。このようにして、線形アクセス・シーケンスを再現する必要がある場合にはメモリ場所にあるデータを無視することができる。次にこの方法はステップ415で終了する。

本発明のスマート・インクリメント論理回路の動作の具体的な例について、第2図、第3図、および第5図を参照しながら説明する。この例では、SDRAMモード・レジスタとスマート・インクリメント制御論理回路の両方に入っているバースト長は4ワードに設定されている。第3B図を参照しながら説明したように、線形とトグルのインクリメント・シーケンスは同じものがある。

第5図を参照すると、ステップ501で4データ・ワードのバースト長のメモリ・アドレス・インクリメント操作が開始する。メモリ・コントローラ108がステップ502でホスト制御バス106または周辺制御バス112からメモリ・アクセス要求を、対応するアドレス・バス(ホスト・アドレス・バス107または周辺アドレス／データ・バス113)上のバースト・アクセス開始アドレスと共に受け取る。この実施形態では、要求の発行元はステップ503で要求を受け取ったバスによって識別される。他の実施形態では、要求されたインクリメント・シーケンスを他の方式で判断することもできる。

判断ブロック505で、バースト・アクセス要求が周辺バス111(この例ではPCIバス)から発行されたものではない場合、この例ではトグル・インクリメント・シーケンスが必要である。ステップ507で、データ項目開始アドレスを示す開始アドレスの最下位2ビットの値が判断される。この場合、バースト長が4データ・ワードに設定されているため、データ項目開始アドレスは最下位2ビットを使用して判断される。したがって、たとえば、キャッシュ・メモリまたはその他のメモリのラインの長さに対応するように4ワードのバースト長を選定したとすれば、開始アドレスの最下位2ビットは4データ・ワードの1つをバースト・アクセスの始点として固有に定義し、開始アドレスの残りの部分は特定のキャッシュ・ラインを示す。データ項目開始アドレスが判断されると、ステップ509でそのデータ項目開始アドレスのためのトグル・インクリメント・シーケンスが実行され、バースト・アクセス・シーケンスはステップ510で終了する。

ブロック505に戻って参照すると、バースト・アクセス要求がPCIバス(周辺バス111)からのものである場合、ステップ511で開始アドレスの最下位2ビットの値すなわちデータ項目開始アドレスが判断される。判断ブロック513で、データ項目開始アドレスが0または2の場合、第3B図に示すようにトグルと線形のインクリメント・シーケンスは同じである。次に、ステップ514で、データ項目開始アドレスに対応する特定のトグル・イ

ンクリメント・シーケンスを使用してバースト・アクセスを制御し、ステップ510でこのシーケンスが終了する。このようにして、線形インクリメント・シーケンスを実現するためにアクセスされるSDRAMのモード・レジスタをプログラムし直す場合に見られるような、周辺バス上のエージェントによって開始されたバースト・アクセスのための遅延は生じない。

判断ブロック513に戻って参照すると、データ項目開始アドレスの値が0または2ではない場合、判断ブロック515でデータ項目開始アドレスの値が1であるかどうか判断される。1である場合、ステップ517でデータ項目開始アドレスが組合せ論理回路を使用して組合せによりデータ項目開始アドレス0に変更され、ステップ519で、対応するトグル・インクリメント・シーケンスを使用してバースト・アクセスの開始が制御される。判断ブロック521で、バースト・アクセス操作がREAD操作の場合、データ項目開始アドレス0のトグル・インクリメント・シーケンスによって制御されるバースト・アクセス操作によってアクセスされる最初のデータ項目が無視される。一実施形態では、スマート・インクリメント制御機構の制御論理回路を使用してSDRAM状態マシン214を制御して、バースト・アクセス要求に応答して周辺アドレス/データ・バス113上に有効データがあることを示す制御信号のアサートを遅延させることによって、最初にアクセスされるデータが無視される。ステップ527で、データ項目開始アドレス0のトグル・インクリメント・シーケンスに従ってバースト・アクセスが完了する。判断ブロック521に戻って参照すると、操作がバーストREAD操作ではない場合、ステップ523でWRITEアクセスについても最初のデータ項目が無視される。一実施形態では、このデータ項目は、アクセスされる特定のSDRAMに最初のデータ項目が書き込まれないように、スマート・インクリメント論理回路の制御論理回路を使用してアクセスされるSDRAMのDQM信号をアサートすることによって無視される。次にステップ527で、データ項目開始アドレス0のSDRAMトグル・インクリメント・シーケンスの制御によってバースト・アクセスが完了し、ステップ510でバースト・アクセスが終了する。したがって、一実施形態では、データ項目開始アドレス1を使用する線形インクリメント・シーケンスの場合、最初のデータ項目が無視されるときに1クロックの不利が生じる。この1クロックの不利は、自動線形アドレス・インクリメント・シーケンスを実現するようにSDRAMモード・レジスタをプログラムし直してデータが再び転送可能になるのを待つのに必要な4クロック・サイクルよりもはるかに少ない。このようにして、バースト・アクセスのメモリ・アクセス・パフォーマンスが大幅に向上する。

判断ブロック515に戻って参照すると、データ項目開始アドレスの値が1ではない場合、ステップ531でデータ項目開始アドレスの値は3である。ステップ533で、データ項目開始アドレス3のトグル・インクリメント・シーケンスを使用してバースト・アクセスの開始を制御する。ステップ535で、1つのデータ項目にアクセスした後、最下位2ビットの値を組合せにより変更することによってデータ項目開始アドレス0を使用して別のバースト・アクセス・サイクルが開始され、対応するトグル・インクリメント・シーケンスによって制御される。必要なバースト長を超えるデータ項目は、アクセスがREADであるかWRITEであるかに応じて制御論理回路を使用して適切な制御信号をアサートすることによって無視される。次にステップ510でこのアクセスが終了する。この場合、一実施形態では2番目のバースト・アクセス・シーケンスを開始する際に1クロックの不利が生じる。前述のように、バースト・アクセス要求を処理する際のこの遅延は、自動線形アドレス・インクリメント・シーケンスを実現するようにSDRAMモード・レジスタをプログラムし直すことによって生じる4クロックの不利よりも少ない。

上述のように本発明によって実現されるバースト・アクセス効率の向上に加えて、本発明はSDRAMに付随する検査コストも削減する。バースト・アクセスにトグル自動アドレ

ス・インクリメント・モードのみを使用する場合、線形インクリメント・モードにおけるSDRAMの検査は不要である。さらに、SDRAMデバイスの将来のバージョンでは線形自動アドレス・インクリメント・シーケンスに付随する制御論理回路を組み込まなくても済むようになることによってシリコン空間を節約することができる。

以上の方法については4データ・ワードのバースト長を参照しながら説明したが、当業者なら他のバースト長も本発明の範囲に含まれることがわかるであろう。当業者なら以上の説明を読んだ後に本発明の多くの変更および修正を考えつくであろうが、例として図示し、説明した特定の実施形態は限定的なものとみなされることを意図したものではないものと理解すべきである。したがって、様々な実施形態の詳細の言及は、本質的に本発明に不可欠とみなされる特徴のみを記載した請求の範囲を限定することを意図したものではない。

## 図面

---

### 【図1】

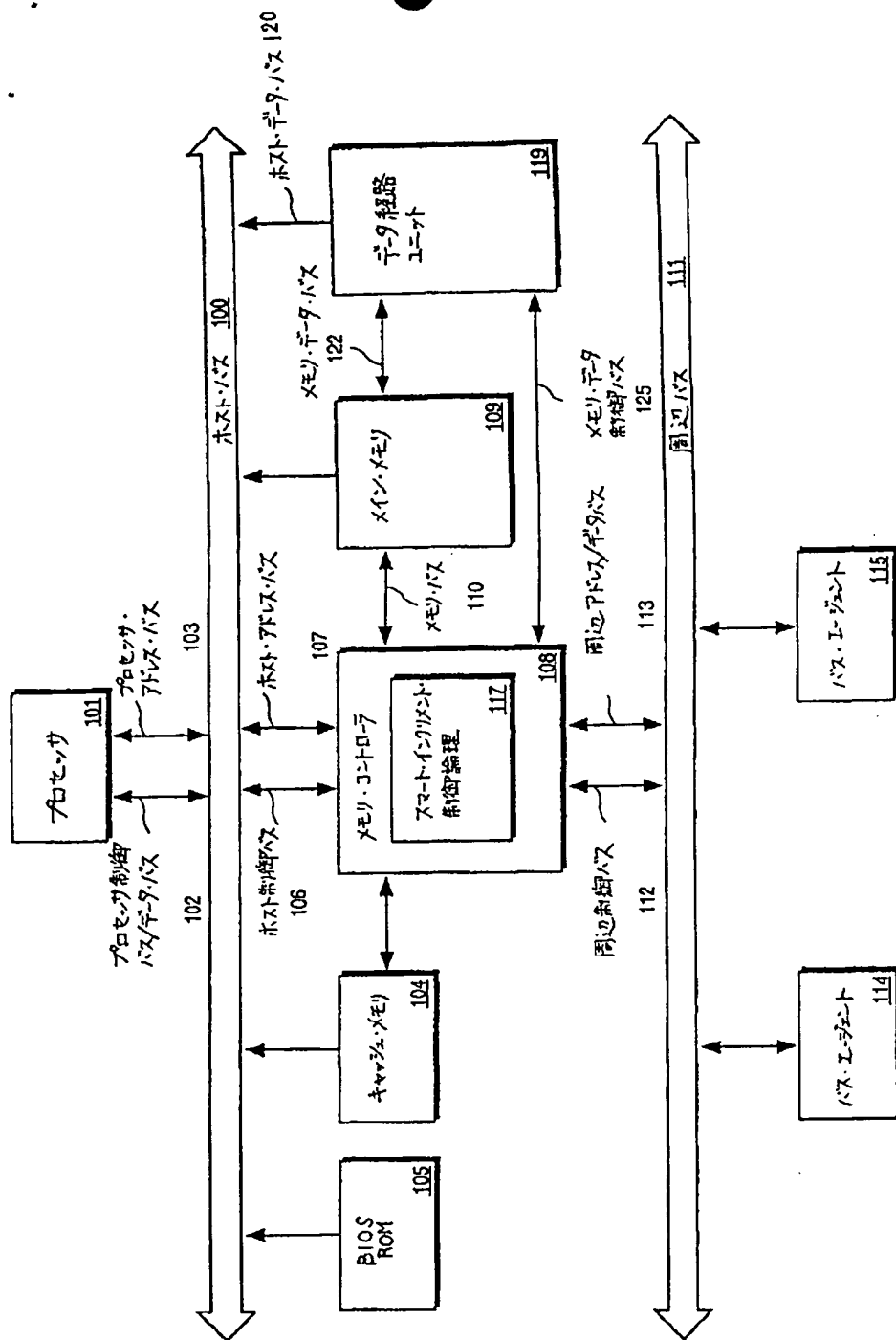
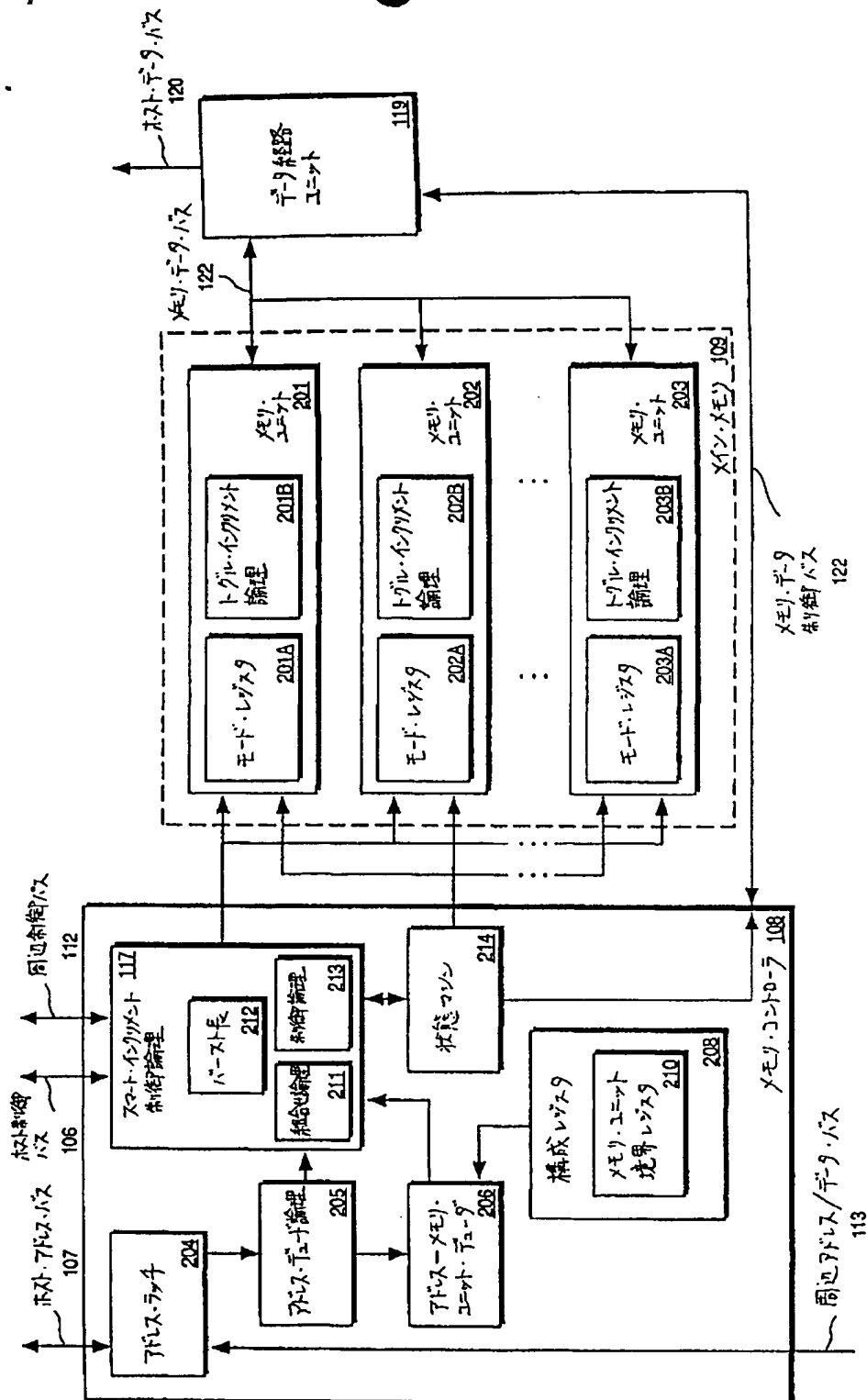


FIG. 1

【図2】





## 2. INIĆ

【圖3】

開始アドレス	総形インクリメント シーケンス	トグル・インクリメント シーケンス
0	0, 1	0, 1
1	1, 0	1, 0

**FIG. 3A**

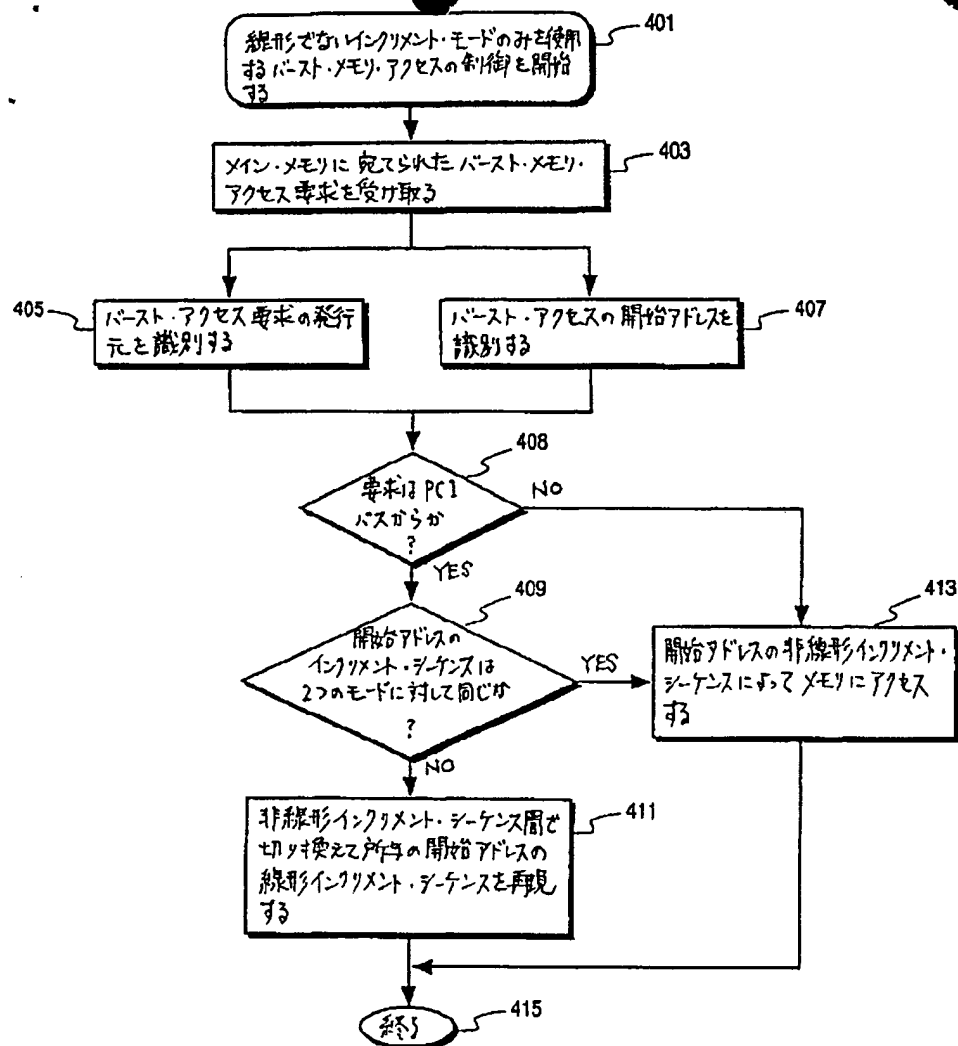
開始アドレス	総形インクリメント シーケンス	トグル・インクリメント シーケンス
0	0, 1, 2, 3	0, 1, 2, 3
1	1, 2, 3, 0	1, 0, 3, 2
2	2, 3, 0, 1	2, 3, 0, 1
3	3, 0, 1, 2	3, 2, 1, 0

**FIG. 3B**

開始アドレス	総形インクリメント シーケンス	トグル・インクリメント シーケンス
0	0, 1, 2, 3, 4, 5, 6, 7,	0, 1, 2, 3, 4, 5, 6, 7,
1	1, 2, 3, 4, 5, 6, 7, 0	1, 0, 3, 2, 5, 4, 7, 6
2	2, 3, 4, 5, 6, 7, 0, 1	2, 3, 0, 1, 6, 7, 4, 5
3	3, 4, 5, 6, 7, 0, 1, 2	3, 2, 1, 0, 7, 6, 5, 4
4	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3
5	5, 6, 7, 0, 1, 2, 3, 4	5, 4, 7, 6, 1, 0, 3, 2
6	6, 7, 0, 1, 2, 3, 4, 5	6, 7, 4, 5, 2, 3, 0, 1
7	7, 0, 1, 2, 3, 4, 5, 6	7, 6, 5, 4, 3, 2, 1, 0

**FIG. 3C**

【図4】

**FIG. 4**

【図5】

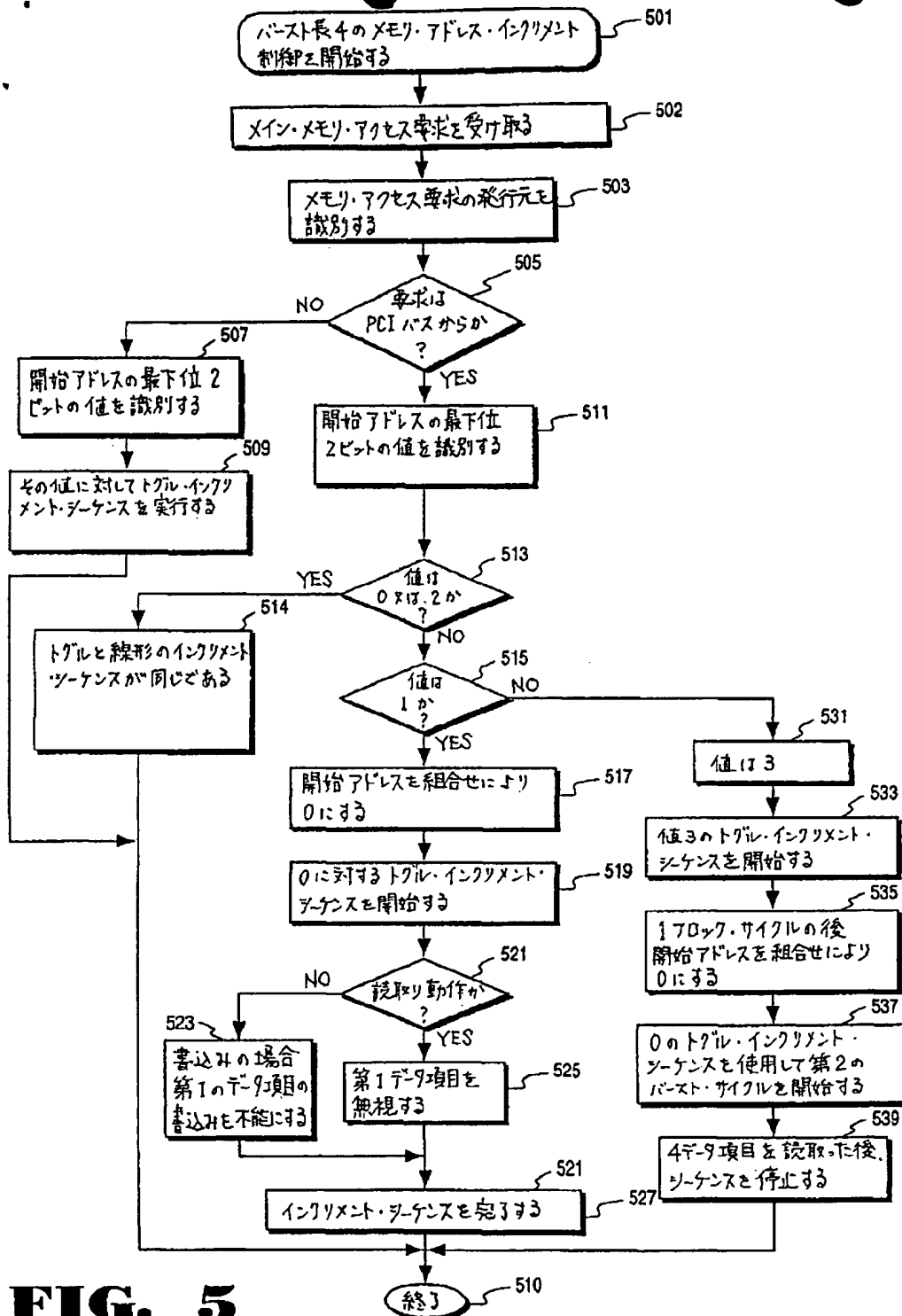


FIG. 5